

(19)日本国特許庁(JP)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平5-233426

(43)公開日 平成5年(1993)9月10日

(51)Int.C1. <sup>5</sup>	識別記号	府内整理番号	F I	技術表示箇所
G 0 6 F 12/02	5 1 0	8841-5 B		
3/08	C	7165-5 B		
G 1 1 C 16/06			9191-5 L	G 1 1 C 17/00 3 0 9 A

審査請求 未請求 請求項の数7

(全4頁)

(21)出願番号 特願平4-33398

(22)出願日 平成4年(1992)2月20日

(71)出願人 000005223  
富士通株式会社  
神奈川県川崎市中原区上小田中1015番地  
(72)発明者 伊藤 裕之  
神奈川県川崎市中原区上小田中1015番地  
富士通株式会社内  
(72)発明者 松井 範幸  
神奈川県川崎市中原区上小田中1015番地  
富士通株式会社内  
(74)代理人 弁理士 山谷 晃榮

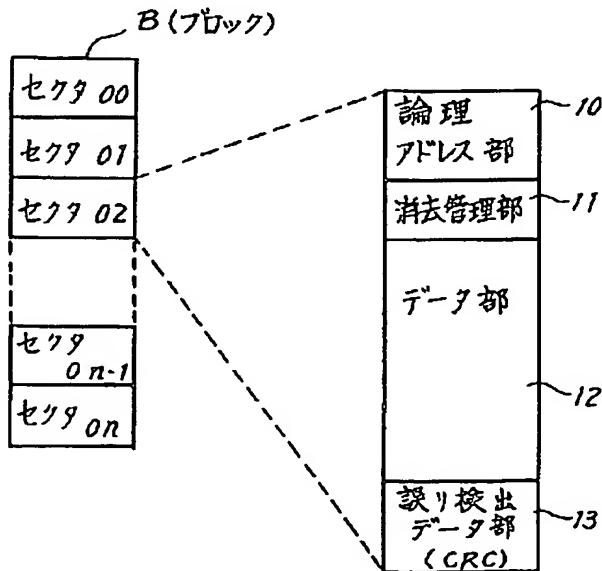
(54)【発明の名称】フラッシュ・メモリ使用方法

(57)【要約】

【目的】 本発明は、フラッシュ・メモリ使用方法に係り、特にデータの更新書き込みを高速に行うことができるようとしたものである。

【構成】 フラッシュ・メモリを複数のセクタで区切り、各セクタに論理アドレス部分と、消去管理表示部分と、データ部分を設け、論理アドレスによりセクタを検索する。そして更新するとき、該セクタの消去管理表示部分の消去可能フラグをオンにし、空きセクタにその論理アドレスを付加し、更新データを記入する。

本発明の原理図



**【特許請求の範囲】**

【請求項1】 フラッシュ・メモリを複数のセクタで区切り、各セクタに論理アドレス部分と、消去管理表示部分と、データ部分を設け、論理アドレスによりセクタを検索することを特徴とするフラッシュ・メモリ使用方法。

【請求項2】 前記セクタに誤り検出データを付加することを特徴とする請求項1記載のフラッシュ・メモリ使用方法。

【請求項3】 前記消去管理表示部分には、そのセクタのデータ部分が有効のとき初期状態を保持し、データ部分が無効のとき初期状態とは異なる状態に変換してその無効を表示する消去可能フラグを設けたことを特徴とする請求項1記載のフラッシュ・メモリ使用方法。

【請求項4】 前記消去管理表示部分には前記消去可能フラグが複数設けられていることを特徴とする請求項1記載のフラッシュ・メモリ使用方法。

【請求項5】 前記消去管理表示部分には、そのセクタが不良セクタか否かを示す不良セクタフラグを設けたことを特徴とする請求項1記載のフラッシュ・メモリ使用方法。

【請求項6】 前記消去管理表示部分には前記不良セクタフラグが複数設けられていることを特徴とする請求項1記載のフラッシュ・メモリ使用方法。

【請求項7】 プロセッサに空セクタ管理手段を設け、更新要求に対してこの空セクタ管理手段に記入されたセクタにもとづき更新先を定めるようにしたことを特徴とするフラッシュ・メモリ使用方法。

**【発明の詳細な説明】****【0001】**

【産業上の利用分野】 本発明はフラッシュ(FLAS H)メモリ使用方法に係り、特にデータの更新書き込みを高速に行うことができるようしたものである。

**【0002】**

【従来の技術】 データ処理装置において、ファイルとしては磁気ディスクやフロッピィ・ディスクのようなディスク類が主に使用されている。しかし、これらのディスクは機構的な部分で構成されているために重く、しかも消費電力が大きい等の問題がある。

【0003】 従って、このようなディスク類に代わる大容量の記憶装置としてはDRAMやSRAMのような揮発性の半導体メモリの使用が考えられるが、DRAMやSRAMはリチウム電池の如きバックアップ電源が必要である。それ故、最近開発された、バックアップ電源が不要で、しかもDRAMやSRAMより安価なフラッシュ・メモリの使用が考えられる。

**【0004】**

【発明が解決しようとする課題】 ところでフラッシュ・メモリは、不揮発性であり、しかも電気的に書き換え可能なメモリであり、しかも安価ではあるが、次のような問

題点を持っている。

【0005】 ①一旦データを消去してからでないとデータの記入ができないが、消去単位としてはバイト単位是不可能であり、数10キロバイト～数百キロバイト単位の如き大きなブロック単位か、チップ単位である。

【0006】 ②そのため、物理アドレス空間における任意番地のデータを書き換えることは不可能であり、書き換えるためには前記①で説明した消去単位毎にどこかに一旦退避させた後にこれを消去し、消去したくないデータを退避先から書き込み、それから新しく書き込みしたい部分を記入する必要がある。

【0007】 ③このような作業を必要とするため、リード速度に比較して、ライト速度あるいは消去速度は非常に時間がかかり、しかも前記①で説明の如く、消去単位が大きいため、その書き換え作業は膨大な時間を必要とするので、大量なデータを取り扱うデータベースの如き場合には、データの書き換えは実質的に不可能な作業である。

【0008】 従って、今までのDRAMやSRAMとともに、あるいはハードディスクと同様なアドレスにもとづくアクセス手段ではその書き換えができないので、実質的に使用できない。しかしながら、安価であるとか、バックアップ電源が不要であるとか、メリットもあるのでこれを使いこなすことが要求されている。

**【0009】**

【課題を解決するための手段】 このために、本発明では、図1に示す如く、フラッシュ・メモリをセクタ00～0nで管理するとともに、セクタ02について代表的に例示するように、各セクタに論理アドレス部10、消去管理部11、データ部12、誤り検出データ部13を設ける。

【0010】 そしてセクタにはセクタ毎にセクタアドレス(論理アドレス)を持たせることにより、データのアクセスを物理アドレスではなく、セクタアドレスで行うようになる。また書き換え命令が伝達された場合、該当するセクタの消去管理部11の消去管理ビットをオンにしてそのセクタのデータ部が無効になったことを示すとともに、フラッシュ・メモリの空きセクタに新しく書き換えるデータを記入して、その論理アドレスを、無効にした前記セクタの論理アドレスと一緒に設定する。

**【0011】**

【作用】 フラッシュ・メモリはデータが記入されている領域を、アドレスを指定して別のデータに書き換えることはできないが、初期状態にある領域については、アドレスを指定してデータを記入することはできる。本発明はこのフラッシュ・メモリの特性を利用して、セクタ単位で実質的にデータの書き換えが行われたときと同様の効果を得るものである。

【0012】 各セクタにデータを記入するとき、消去管理部11は初期状態にしておく。そして論理アドレス部

10には論理アドレスを記入し、データ部12には、その論理アドレスに記憶すべきデータを記入し、誤り検出データ部13にはCRCの如き誤り検出データを記入し、例えば1ビットエラー訂正、2ビットエラー検出可能とする。

【0013】いま、図1において、セクタ02のデータを書き換える場合、その空きセクタがセクタ0n-1より始まる場合、セクタ02の消去管理部11に消去管理ピットをオンにする。これは初期状態と反対のデータを記入することにより行われる。そしてセクタ0n-1の論理アドレス部10にセクタ02の論理アドレスと同一の論理アドレスを記入し、データ部12に新しいデータを記入し、誤り検出データ部13にはこれらに応じた誤り訂正・検出用のデータを記入する。これらの場合、セクタ02の消去管理部及びセクタ0n-1の論理アドレス部、データ部、誤り検出データ部はいずれも初期状態にあるので、これらの書き込みはその領域のみに限定して、しかも高速に行うことができる。

【0014】そして実際にこの論理アドレス領域からデータを読み出すとき、各セクタの論理アドレス部を順次スキャンして、初めにセクタ02の論理アドレス部においてアクセス先を検知するが、そのとき消去管理部11には消去管理ピットがオンになっていることを検知してセクタ02が消去されていることを認識し、さらに論理アドレス部のアクセスを続行する。そしてセクタ0n-1よりアクセス先の論理アドレスを検出し、そのデータ部より必要とするデータを得る。

【0015】このようにして、実際にデータの書き換えや消去を行うことなく、データを書き換えた状態として使用することができる。

#### 【0016】

【実施例】本発明の一実施例を図2及び図3にもとづき、図1を参照して説明する。図2は本発明を実施するためのハードブロックの1例であり、図3は本発明のフラッシュ・メモリの使用状態説明図である。

【0017】図2において、1はマイクロプロセッサ、2はフラッシュ・メモリ、3は入出力装置である。マイクロプロセッサ1はフラッシュ・メモリ2に対してアクセス制御を行うものであり、フラッシュ・メモリ2の空きセクタを管理する空きセクタ管理部4を具備する。

【0018】フラッシュ・メモリ2は、例えば後述する図3に示す如く構成されている。また入出力装置3は、フラッシュ・メモリ2に記憶すべきデータを入力したり、フラッシュ・メモリ2より必要とするデータを読み出すものである。

【0019】フラッシュ・メモリ2は、例えば図3(A)に示す如く、セクタ00～0nよりなるブロックB0、セクタ10～1nよりなるブロックB1…セクタm0～mnよりなるブロックBmで構成されている。

【0020】ここで、1ブロックは消去単位を示し、各ブロックを構成するセクタは適宜サイズで構成される。そして各セクタは、前記の如く論理アドレス部10、消去管理部11、データ部12、誤り検出データ部13等で構成される。そしてデータ部12は、例えばフラッシュ・メモリがファイルとして使用されるとき、このファイル用のデータつまりメモリとして記憶すべきデータがこれに記入される。

【0021】そして、3(B)に示す如く、消去管理部11は、ビットD<sub>7</sub>とD<sub>6</sub>にはそのセクタが消去されて無効のものであることを示す消去可能フラグが記入され、またビットD<sub>5</sub>とD<sub>4</sub>はそのセクタが不良セクタであることを示す不良セクタフラグが記入される。この例では、信頼性の向上のため、消去可能フラグ及び不良セクタフラグがそれぞれ2重化されている。そして残りのD<sub>3</sub>～D<sub>0</sub>はリザーブ領域である。

【0022】いま、図3において、セクタm0までにデータが記入されているとき、図2の空セクタ管理部4は、空きセクタの先頭が、セクタm1であることを保持している。そしてこのフラッシュ・メモリに対してアクセス要求、例えばリードアクセスがあるとき、マイクロプロセッサ1は、図3(A)で示したフラッシュ・メモリ・アレー内のセクタ00から順次各セクタの論理アドレスを検索し、消去管理フラグが立っていないセクタの論理アドレスがアクセス先のものと一致したものを読み出してデータを要求先の入出力装置3に送出する。

【0023】そして、書き換えのアクセス要求があったとき、マイクロプロセッサ1は、フラッシュ・メモリ2よりそのアクセス先の論理アドレスを有するセクタを検出し、その消去管理部11の消去可能フラグD<sub>7</sub>、D<sub>6</sub>を立てる。フラッシュ・メモリには、初期状態が「0」のものと「1」のものがあり、初期状態が「0」のものは「1」に、逆に「1」のものは「0」にすることにより消去可能フラグD<sub>7</sub>、D<sub>6</sub>がオンに立つことになる。

【0024】それからマイクロプロセッサ1は空セクタ管理部4から空きセクタの先頭のセクタ、例えばセクタm1を認識し、その不良セクタフラグD<sub>5</sub>、D<sub>4</sub>をアクセスする。不良セクタフラグがオンでなければ、マイクロプロセッサ1はこのセクタm1の論理アドレス部10にアクセス先の論理アドレスをデータ部12に新しいデータを、誤り検出データ部13に誤り検出データをそれぞれ記入し、空セクタ管理部4に次の空セクタはセクタm2であることを記入する。

【0025】しかし、セクタm1の不良セクタフラグD<sub>5</sub>、D<sub>4</sub>のいずれか一方がオンであれば、マイクロプロセッサ1は今度は次のセクタm2に対して、前記と同様に書き込み処理を行う。

【0026】前記説明では、マイクロプロセッサ1によりフラッシュ・メモリをアクセスする例について説明し

たが、本発明はこれに限定されるものではなく、勿論プロセッサを使用することもできる。

#### 【0027】

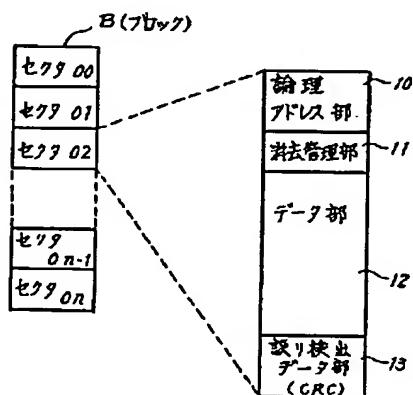
【発明の効果】本発明により、フラッシュ・メモリをセクタ単位で管理して、データの書き換えを可能とすることができるので、安価なフラッシュ・メモリを例えればファイル用に有効利用することができる。

#### 【図面の簡単な説明】

【図1】本発明の原理説明図である。

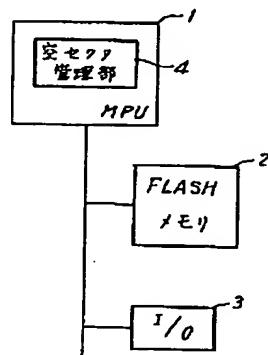
【図1】

本発明の原理図



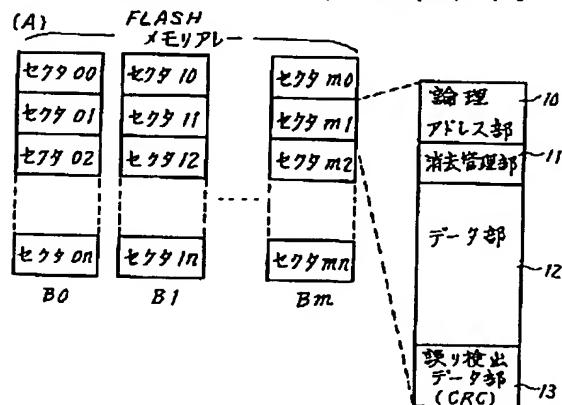
【図2】

本発明を実施するためのハードブロック図

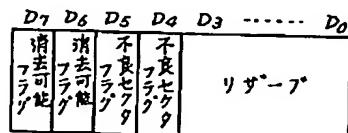


【図3】

本発明のフラッシュ・メモリ使用状態説明図



(B)



【図2】本発明を実施するためのハードブロック図の1例である。

【図3】本発明のフラッシュ・メモリの使用状態説明図である。

#### 【符号の説明】

- 1 マイクロプロセッサ
- 2 フラッシュ・メモリ
- 3 入出力装置